

Modélisation analogique ou mixte VERILOG-AMS

Objectif :

Initiation à l'extension AMS (Analog and Mixed Signal) du langage VERILOG.

Application à la modélisation de systèmes, de composants,

Application à la méthodologie "top-down"

Modélisation de systèmes mixtes analogiques-numériques

Modélisation de systèmes multi-domaines (par exemple MEMs)

Comparaison avec VHDL-AMS

Prérequis :

Notions de simulation analogique (SPICE) et/ou notions de langage Verilog.

Durée : 3 jours (2 jours si combiné avec stage VHDL-AMS) 25% cours, 75% TP

Logiciels et Bibliothèques : SPECTRE (CADENCE)
ADV-AMS (MENTOR GRAPHICS)
SMASH (DOLPHIN)

Formations utilisatrices : NC

Ouvert à la formation continue : oui

Contact : micro.el@aime-toulouse.fr

Enseignants : NC