

DESIGN DIGITAL VERILOG

Objectif :

Initiation au langage VERILOG

Application à la modélisation des systèmes, à la méthodologie "top-down".

Application à la synthèse automatique, pour design d'ASICs et de systèmes sur FPGA.

Comparaison VERILOG-VHDL, modélisation mixte VERILOG-VHDL

Notions de codesign, utilisation de blocs IP

Prérequis :

Bases de systèmes digitaux, logique booléenne.

Durée : 3 jours 25% cours, 75% TP

Logiciels et Bibliothèques : Simulateurs CADENCE LDV (VERILOGXL et NCVERILOG)

Simulateur VERILOGGER

Outil de synthèse SYNOPSIS

Formations utilisatrices : NC

Ouvert à la formation continue : oui

Contact : micro.el@aime-toulouse.fr

Enseignants : NC