

SYNOPSIS

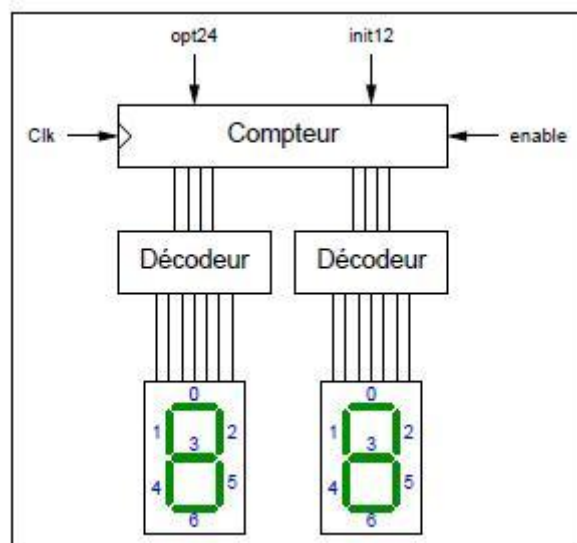
Synthèse logique

Objectif :

Le but de ces travaux est de réaliser un système numérique simple sur circuit intégré, à partir d'une description de son fonctionnement à haut niveau.

Le langage de description utilisé pour la description comportementale et la simulation initiale est VHDL.

L'outil de synthèse logique Synopsys est utilisé pour effectuer une conversion de la description comportementale vers une description structurale, avec toutes les références nécessaires aux cellules pré-caractérisées de la bibliothèque de la technologie utilisée. A l'issue de cette étape, un retour peut-être effectué sur la schématique de départ pour prendre en compte une première série d'éléments supplémentaires (impédances réelles des ports d'entrée/sortie des cellules utilisées et estimation statistique du routage). Une post-simulation doit alors vérifier que le cahier des charges est toujours respecté.



Durée : 8h

Logiciels et Bibliothèques : SYNOPSIS, AMS 0,35µm 2,5-3,6 V

Formations utilisatrices : M2 ISME

Ouvert à la formation continue : non

Contact : Eric Tournier tournier@laas.fr